

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-132510

(43)Date of publication of application : 13.05.1994

(51)Int.Cl.

H01L 27/146
H01L 31/10

(21)Application number : 04-278341

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.10.1992

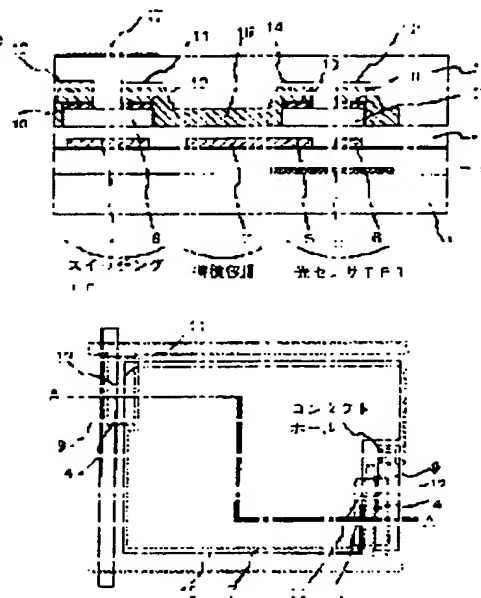
(72)Inventor : KANEKO YOSHIYUKI
YAMAGUCHI MUNEAKI

(54) THIN-FILM OPTICAL PHOTODIODE

(57)Abstract:

PURPOSE: To reduce the number of lead-out wires by allowing a gate electrode on the drain side of a TFT for a photodiode and a lower electrode for storage capacity to be made of the same Cr metallic layer and to be connected with each other.

CONSTITUTION: On a glass substrate 1, Cr is deposited as a lower light-shielding film 2 of a TFT for a photodiode and is subjected to patterning. Next, after an SiO₂ insulation film 3 is piled up thereon, a gate electrode 4 for a switching TFT, gate electrodes 5 and 6 for the photodiode, and a lower electrode 7 for storage capacity are formed by using Cr. Then, as the upper electrodes for the photodiode and switching TFT, source electrodes 11 and 12, drain electrodes 13 and 14, and an upper electrode 15 for storage capacity are formed. The electrodes 11, 14 and 15 are connected with each other and the source electrode 12 is connected with the electrode 7 through a contact hole. In 4 terminals of the TFT for the photodiode, the electrode 5 on the drain side is connected with the electrode 7 for the storage capacity. Since such a wiring is placed within a picture element through the contact hole prepared in the insulation film, the number of voltage supply wires can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

This Page Blank (uspto)

**Japanese Publication for Unexamined Patent
Application No. 132510/1994 (Tokukaihei 06-132510)**

A. Relevance of the Above-identified Document

This document has relevance to claims 1 through 4 of the present application.

B. Translation of the Relevant Passages of the Document

[PRIOR ART]

[0003]

Under such a circumstance, there was invented the new thin-film photo-sensor that uses a TFT photo-sensor with a plurality of gate electrodes, and absorbs light in a portion under less influence of the gate voltage, thus increasing a photoelectric current. This thin-film transistor is disclosed in the publication of Japanese Unexamined Patent Application Tokukaihei 02-215168. Figures 4 and 5 show a cross-sectional view and an equivalent circuit diagram of an example of the thin-film transistor, respectively. Voltages $V_g(d)$ and $V_g(s)$ are supplied to the respective gate electrodes on the drain-side and the source-side. Light is detected in the portion A of the amorphous silicon 43 shown in Figure 4. With this sensor, it is possible to obtain a low dark-current and a high photo-current, and therefore, it

This Page Blank (uspto)

is significantly effective for a large-area sensor.

[0004]

[MEANS TO SOLVE THE PROBLEM]

However, a thin-film photo-sensor including a plurality of gate electrodes requires a larger number of leading lines corresponding to the larger number of electrodes, and therefore, it needs to take out, more leading lines when the sensor array is constructed. Figure 6 shows an equivalent circuit in which pixels are aligned in a two-dimensional manner, each of the pixel is made up of the photo-sensor TFT 51, the switching TFT 52 and the accumulation capacitor 53. This arrangement uses two leading lines 56 and 59 so as to supply voltages to the gate electrode 55 on the source-electrode 54 side of the sensor TFT, and to the gate electrode 58 on the drain-electrode 57 side of the sensor TFT, respectively, thus complicating the layout. Further, the way of setting those voltages supplied to the electrodes is uncertain.

[0005]

An object of the present invention is to provide a thin-film photo-sensor that is driven by a method fully using the superior characteristic of the photo-sensor with a simple structure.

[0006]

[MEANS TO SOLVE THE PROBLEM]

inis Page Blank (uspto)

In order to solve the foregoing problems, the present invention uses a pixel in which the gate electrode of the drain-electrode-side is connected to the electrode of the accumulation capacitor. Particularly, to establish the connection therebetween, the respective electrodes are formed from a single metal layer. Further, the voltage supplied to those electrodes is set to a constant voltage not more than the source potential of the photo-sensor TFT.

[0007]

[EFFECTS]

With the foregoing arrangement including a plurality of gate electrodes wherein the gate electrode of the drain-electrode-side is connected to the electrode of the accumulation capacitor, it is not necessary to take the leading line outside the sensor area, thus simplifying the structure. Further, since these electrodes are conducted by being formed from a single metal layer, it may be realized with a simpler structure. Further, by setting the voltage supplied to those electrodes to a value not more than the source potential of the photo-sensor TFT, it is possible to obtain a high photo-current while maintaining the low-dark-current.

This Page Blank (uspto)

50

(3)

る。この光センサの作製プロセスは次の通りである。すなわち、ガラス基板1上に、光センサ用TFTの下部電極2として200nmのCrをスパッタリング法により堆積し、通常のフォトリソグラフィ法を用いてパターンニングする。ついでCVD法によりSiO₂600nm)絶縁膜3を堆積する。その後、再びスパッタリング法により厚さ150nmのCrによりソースドレイン用TFT用のゲート電極4、光センサ用TFTのゲート電極5、6、及び蓄積容量の下部電極7を形成する。次に、CVD法によりゲート絶縁膜である酸化シリコン(SiN)8、半導体層の非晶質シリコン(a-Si)9をそれぞれ300nm、300nmの厚さに堆積する。さらに同じくガラスCVD法により、オーミックコンタクトを取るためのn型a-Si10も2層に於いて堆積する。厚さは60nmである。ガラスCVD法は、真空容器中にモノシランSiH₄をベースにしたガスを導入し、RFパワーを加えることによりプラズマを形成し、これにより分解したSiおよび水素を基板の上に堆積する。この場合、a-Siが形成されるが、SiH₄とともに酸素やフロンを導入すれば、SiNが形成される。またホスフィン(PH₃)を導入すれば、n型不純物である磷をドーパしたa-Siを形成することができ、これらは、ゲート絶縁膜やオーミックコンタクト層となる。真鍮膜後のa-Si層はパターンニングされる。

【0009】つぎに光センサTFTやスイッチングTFTの上部電極として、ソース電極11、12とドレイン電極13、14及び蓄積容量の上部電極15を形成する。電極11、14及び15は接続されている。ソース電極12は、コンタクトホール(図2)を介して蓄積容量の下部電極7と接続されている。電極材料はCrとAlの二層膜を用いる。Crはa-SiとAlの反応を防止するためのパツツ層(図2)であり、Alは電極の低抵抗化のためである。各々の厚さは80nm、800nmである。CrとAlの二層膜は、この後、パターンニングされる。パターン化されたソースおよびドレイン電極をマスクとしてn型a-Si層もエッチングする。これは、セミアライメント工程となる。

【0010】この後、チャネル保護膜としてガラスCVDによるSiNを用いてスイッチング用TFT及び光センサ用TFTの保護膜16を設け、次にスイッチング用TFTの上方にはソース・ドレイン電極と重畳するようにAlの1μmを用いて上部遮光膜17を形成する。すなわち、この遮光膜によって、明状態や暗状態にかかわらずスイッチング用TFTの良好な動作が可能になる。

【0011】このような作製方法で本発明に特徴的なことは、光センサ用TFTのドレイン側のゲート電極5と蓄積容量の下部電極7が同一のCr金属層で形成されてかつ接続されている点である。これにより、引出線の数を低減することができる。

【0012】図7は薄層光センサを2次元に配列したものの等面回路である。各要素は、上述のように光センサ用TFT101、スイッチング用TFT102及び蓄積容量103から成る。光センサ用TFTの四つの端子のうち、ドレイン側のゲート電極5は蓄積容量の下部電極7に接続される。ある電圧V_g(d)に固定される。ソース側のゲート電極6は別の電圧V_g(s)に固定される。ドレイン電極14はスイッチングTFTのソース電極11と接続される(図2)。ソース電極には上記電圧V_g(d)が印加される。スイッチング用TFTの残りの端子については、ゲート電極4が垂直走査線104に接続され、ドレイン電極13が水平走査線105に接続されている。水平走査線105及び蓄積容量の上部電極15はスイッチング用TFTのソース、ドレイン電極と同時に形成され、垂直走査線104はスイッチング用TFTのゲート電極と同時に形成される。各水平走査線は、水平走査回路に接続され、また、各垂直走査線は垂直走査回路に接続されている。

【0013】この2次元薄層光センサの走査方法は、次の通りである。

【0014】①垂直走査線G1に接続された全てのスイッチングTFTを所定時間t₀だけオン状態にする。この走査により垂直走査線G1に接続された各要素の蓄積容量が充電される。この走査を垂直走査線G2からGnまで、順次、行う。

【0015】②T=(n-1)×t₀後に垂直走査線G1に接続されたスイッチングTFTが再びオン状態になる。この期間Tの間に光センサ用TFTが蓄積容量に保持された電荷を放電する。この放電前電圧は、光センサに入射する光の量によって決まる。さて、2度目のG1の選択時間は、t₁である。この時間t₁の間に水平走査線D1～Dmを通じて、放電電荷量が読み出される。この場合の電荷量の読み出し方は、時間t₁をm分割して各水平走査線毎に順次読み出す(すなわち、水平走査線一本あたりの読み出し時間は1/m秒)方法と、各水平走査線の読み出しに時間t₁を充てて、垂直走査線G1に連なる面素の充電電荷量を同時に読み出す方法がある。本発明による光センサでは、いずれの方法も可能である。

③垂直走査線G1に接続された全てのスイッチングTFTをオフ状態にする。

【0017】④次の垂直走査線G2に接続された全てのスイッチングTFTを時間t₁だけオン状態にし、上記②と同じ操作を行った後、スイッチングTFTをオフ状態にする。

【0018】⑤同様にして②～④を、垂直走査線Gnまで行い、読み出しが完了する。画面一枚あたりの読み出し時間はn×(t₀+t₁)秒である。

【0019】ところで、光センサTFTのゲート電圧は、走査時間にわたり一定の電圧に保たれる。この電圧

(4)

が上に述べたV_g(d)、V_g(s)である。この電圧の値は、明電流と暗電流の比ができるだけ大きくなるように設定される。

【0020】図8は、その電圧条件を定めるのに必要な光センサTFTの電流-電圧特性図である。暗電流を低くするに、V_g(s)の値としては負電圧に設定するのが望ましい。しかもその場合のV_g(d)の値は、0V以下とするのが望ましい。本実施例では、V_g(s)=-10V、V_g(d)=0Vとした。

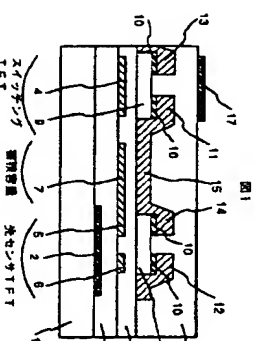
【0021】さて、本実施例では、上に述べたように、光センサTFTのソース電極と蓄積容量の下部電極は、絶縁膜に設けられたコンタクトホールを通じて面素内で接続されている(図2)ので、電圧供給線の数は一層低減されている。

【0022】(実施例2) 本発明の他の実施例として、図9を用いて1次元イメージセンサについて説明する。光センサTFT101、スイッチングTFT102、蓄積容量103一組で面素を構成する点や各電極の接続方法及び電圧条件は、実施例1の場合と同じである。センサの走査は、まず主走査回路により、スイッチングTFTのゲートを順次オンして、主走査方向の走査を行う。次に副走査としてセンサあるいは原稿を微小量動かす。以下、順次、副走査、副走査を繰り返すことにより、画像読み取りが完了する。

【0023】さて、本発明は蓄積容量を用いた複数ゲートを有するTFT型光センサの構成に関するものである。この意味において、本発明は実施例に限定されない。例えば、ゲート電極はCrに限らずAlやTaであるとしてもよい。ゲート絶縁膜はSiNやSiO₂に限らずAl₂O₃やTa₂O₅あるいはこれらの組合せであってもよい。またTFTの半導体材料は、非晶質シリコンに限らず多結晶シリコンであってもよい。

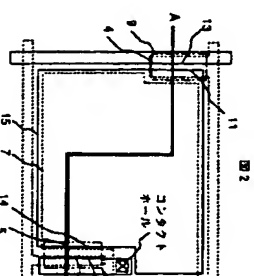
【0024】

【図1】



1:ガラス基板、2:下部遮光膜、3:絶縁膜、4、5、6:ゲート電極、7:蓄積容量の下部電極、8:ゲート絶縁膜、9:非晶質シリコン、10:n型非晶質シリコン、11、12:ソース電極、13、14:ドレイン電極、15:蓄積容量の上部電極、16:真鍮膜、17:上部遮光膜

【図2】



【発明の効果】 光センサの複数ゲート電極のうち、ドレイン電極側のゲート電極を蓄積容量の電極に各面素内で接続することにより、センサ領域の外側へ引出配線の数を低減することができる。また、その接続に同一の金属層を使用することにより、面素構成を簡便にすることができる。さらにゲート電極及びそれに接続された蓄積容量の電極を光センサのソース電極の電位の値以下に設定すると、暗電流を低く保ったまま高感度明電流を得ることができ、特に、それらの電位を等しく設定すると構造をより簡便にすることができる。

【面の簡便な説明】

【図1】 本発明の実施例を説明するためセンサの断面図。

【図2】 本発明の実施例による2次元センサの平面図。

【図3】 従来技術によるTFT型光センサの断面図。

【図4】 複数ゲートを有するTFT型光センサの断面図。

【図5】 複数ゲートを有するTFT型光センサの等面回路図。

【図6】 従来技術によるTFT型光センサを用いた2次元センサの等面回路図。

【図7】 本発明の実施例による2次元センサの等面回路図。

【図8】 光センサTFTの電流-電圧特性図。

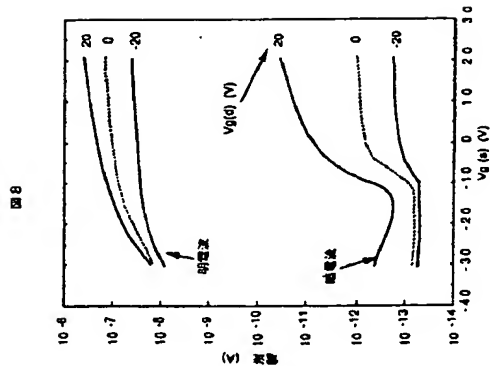
【図9】 本発明の実施例による1次元センサの等面回路図。

【符号の説明】

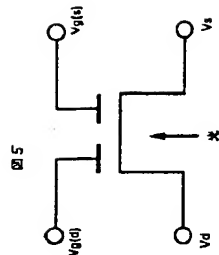
1...ガラス基板、2...下部遮光膜、3...絶縁膜、4、5、6...ゲート電極、7...蓄積容量の下部電極、8...ゲート絶縁膜、9...非晶質シリコン、10...n型非晶質シリコン、11、12...ソース電極、13、14...ドレイン電極、15...蓄積容量の上部電極、16...真鍮膜、17...遮光膜。

(6)

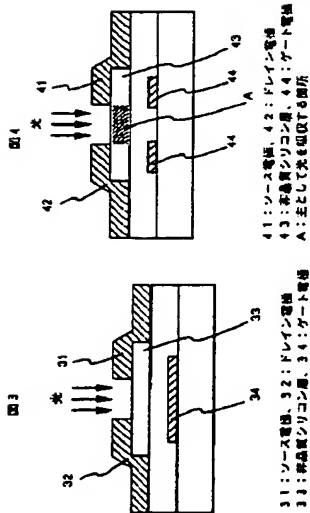
【図8】



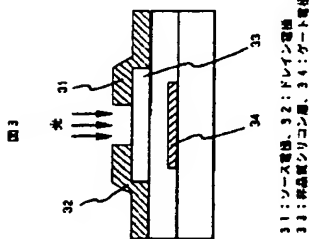
【図5】



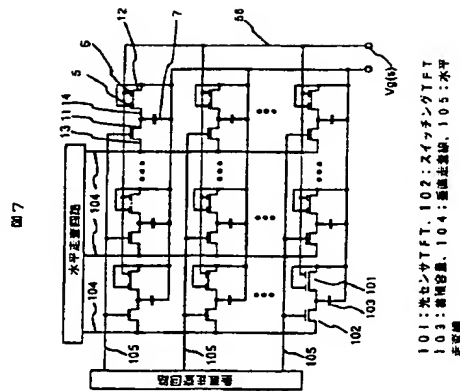
【図4】



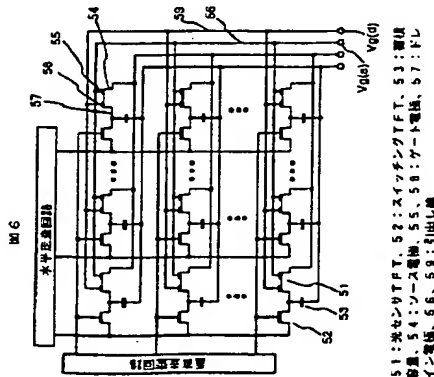
【図3】



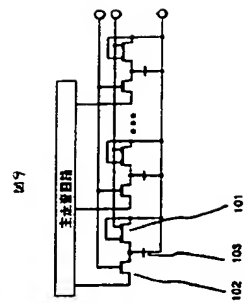
【図7】



【図6】



【図9】



This Page Blank (uspto)